Author：谢敏

Time：2016-3-14 17:33:04

如何初始化MC9S12单片机系统总线时钟以及为什么要这样初始化

1、时钟产生原理

1）**内部振荡方式**为例，即EXTAL、XTAL外接晶体振荡器，与单片机内部的高增益反相放大器构成自激振荡器并产生振荡时钟脉冲。

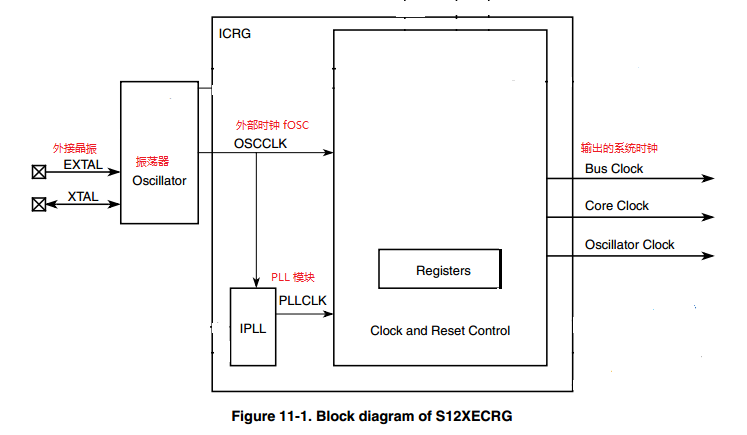
以下是系统时钟产生过程精简后的结构图（去掉：系统复位，中断，PLL供电等），如下：

*参数说明：*

*fOSC (OSCCLK): 外接晶体振荡器产生的时钟频率*

*fPLL(PLLCLK): PLL锁相环输出时钟频率*

*fBUS(BUS Clock等): MCU系统时钟*



**晶振（提供外部时钟）－>PLL倍频（时钟倍频）－>系统时钟**

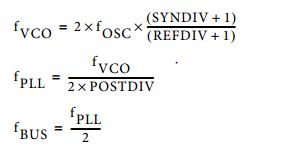
2）各时钟频率（参数含义见1））之间计算公式如下图：

*参数说明*

*SYNDIV、REFDV：配置PLL倍频参数配置寄存器*

*POSTDIV: PLL锁相环输出分频器，POSTDIV等于0时，fPLL = fVCO*

*（即PLL锁相环输出频率不进行分频）*



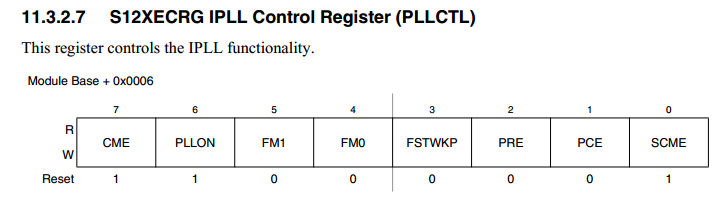
例如：选用16MHz的外部晶振，若将SYNR设为2，REFDV设为1，通过公式计算可得PLLCLK＝48MHz。从而得到系统的总线频率为24MHz。

2、为什么要这样初始化

1）与初始化有直接关系的5个寄存器

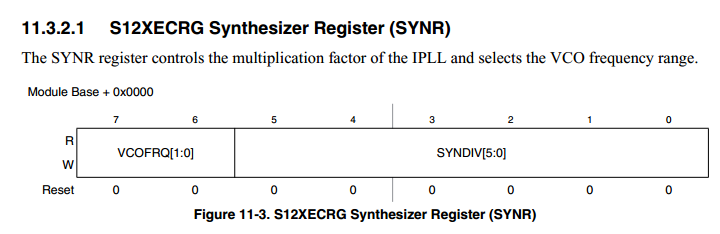
1. PLLCTL

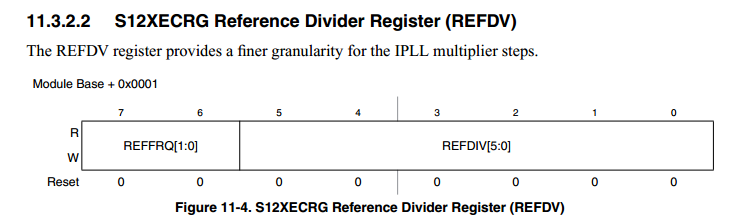
**初始化需要设置的位：PLLON——打开PLL电路**



2.设置倍频参数寄存器SYNR、REFDV

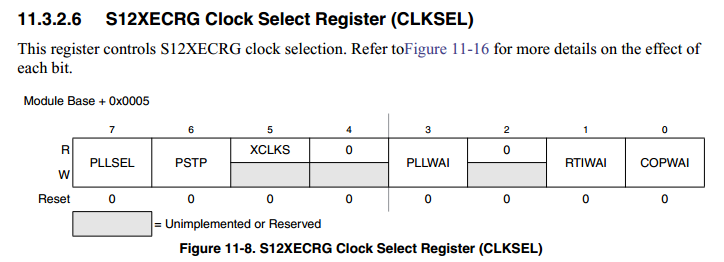
**高位指定倍频范围，低位指定具体的倍频参数**



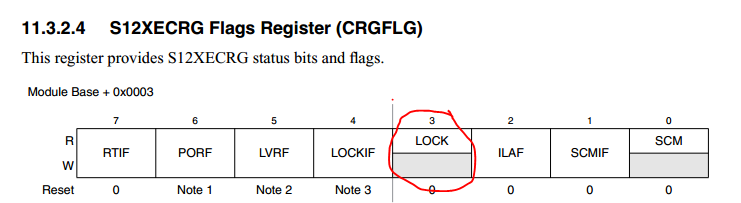


3.时钟选择寄存器

**配置不同位，可指定不同时钟源为系统时钟。**



4.时钟产生模块标志寄存器

 **死循环读LOCK标志位，只有当LOCK=1时，时钟频率才稳定，才能分配给系统时钟**

2）代码例程

假设目标总线频率为32M，初始化例程如下：

Void SetBusCLK\_32M(void)

{

CLKSEL=0X00; //CLKSEL\_PLLSEL位为0时，SYNR和REFDV寄存器写入才有效

PLLCTL\_PLLON=1; //打开PLL模块电路

SYNR =0x40 | 0x03; // VCOFRQ[1:0]=0x40,即48MHz < fVCO<= 80MHz; SYNDIV[5:0] = 0x03

REFDV=0x80 | 0x01; //REFFRQ[1:0]=0x80,即6MHz < fREF<= 12MHz; REFDIV[5:0]=0x01;

POSTDIV=0x00; //PLL输出不进行分频

\_asm(nop);

\_asm(nop);

while(!(CRGFLG\_LOCK==1)); //等待PLL时钟频率稳定

CLKSEL\_PLLSEL =1; //选择PLL为系统总线时钟

}

参考资料：

《MC9S12XEP100RMV1》 MC9S12芯片手册

《Freescale 9S12 系列单片机原理及嵌入式开发技术》

<http://www.elecfans.com/emb/danpianji/20120810283970_4.html>

<http://blog.sina.com.cn/s/blog_7595424b0100uspx.html>